

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-035457
 (43)Date of publication of application : 12.02.1993

(51)Int.Cl.

G06F 9/06
 G06F 12/06
 G06F 15/78

(21)Application number : 03-189915
 (22)Date of filing : 30.07.1991

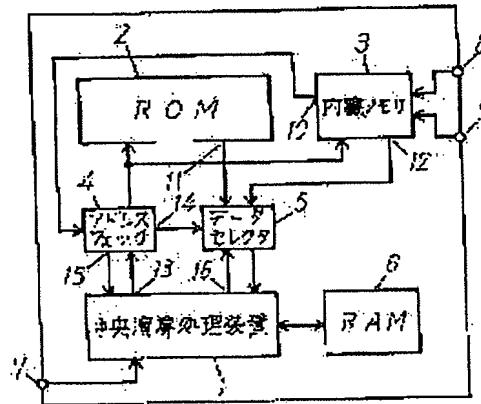
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (72)Inventor : OGISHI TOSHIYA
 SEKI MICHIO

(54) ONE-CHIP MICROCOMPUTER

(57)Abstract:

PURPOSE: To alter the process contents of a ROM for error correction by altering the process contents in the internal ROM with process contents set in an internal memory.

CONSTITUTION: When an address fetch part 4 detects a correction start address indicated by the internal memory 3, the address fetch part 4 indicates data switching from the ROM 2 to the internal memory 3 to a data selector 5 with a select signal 14 and a central processing unit 1 is supplied thereafter with data written in the internal memory 3 from outside before the one-chip microcomputer starts operating. The internal memory 3 is supplied with an address signal from the central processing unit 1 through the address fetch part 4 and operates equally with a read of the ROM 2. While the central processing unit 1 reads the data out of the internal memory 3, the address fetch part 4 outputs an interruption inhibition signal 15 to the central processing unit 1 to inhibit interruption processing.



LEGAL STATUS

[Date of request for examination] 01.12.1994

[Date of sending the examiner's decision of rejection] 14.01.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-35457

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl.⁵ 識別記号 件内整理番号 F I 技術表示箇所
G 06 F 9/06 4 4 0 N 8944-5B
12/06 5 2 0 8841-5B
15/78 5 1 0 K 7530-5L

審査請求 未請求 請求項の数3(全5頁)

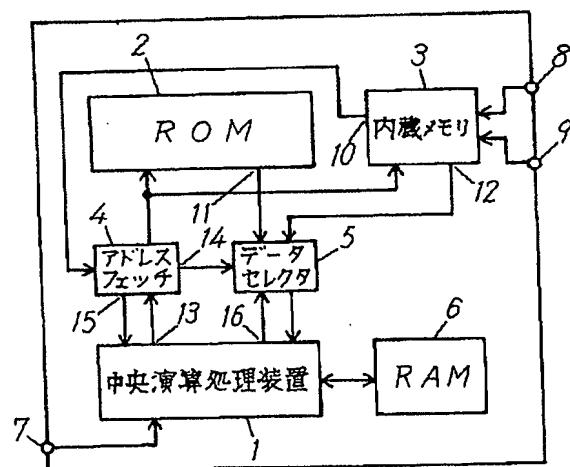
(21)出願番号	特願平3-189915	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成3年(1991)7月30日	(72)発明者	小岸 俊哉 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72)発明者	関 道雄 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74)代理人	弁理士 小銀治 明 (外2名)

(54)【発明の名称】 ワンチップマイクロコンピュータ

(57)【要約】

【目的】 ROMを内蔵したワンチップマイクロコンピュータにおいて、誤り訂正のためROMの処理内容を変更可能とする。

【構成】 ROM2のデータ11と内蔵メモリ3のデータ12のいずれを中央演算処理装置1に供与するかをデータセレクタ5で規制し、データセレクタ5をアドレスフェッチ4に設定された訂正指示アドレスに基づいて選択してROM2の処理内容を内蔵メモリ3にて設定される処理内容によって変更する。



【特許請求の範囲】

【請求項1】中央演算処理装置の処理内容を記憶するROMと、前記ROMの誤り訂正を目的とする処理内容を外部から入力することが可能な内蔵メモリと、前記ROMのデータと前記内蔵メモリのデータとを前記中央演算処理装置に供与する規制を行う規制回路とを具備し、ワンチップ内に内蔵されている前記ROMの処理内容を前記内蔵メモリにて設定される処理内容によって変更する機能を有するワンチップマイクロコンピュータ。

【請求項2】中央演算処理装置の処理内容を記憶するROMと、前記ROMの誤り訂正を目的とする処理内容を外部から入力することが可能な内蔵メモリと、前記内蔵メモリにデータを外部から格納するためのアドレス入力とデータ入力と、前記中央演算処理装置の前記ROMに対するアドレス指定において前記内蔵メモリにより指示される訂正開始アドレスを検出して前記中央演算処理装置に供与される前記ROMのデータから前記内蔵メモリのデータへ切り換えて前記内蔵メモリのデータの読み出しを前記ROMの読み出しと等しく動作させる前記内蔵メモリへのアドレス信号を発生し、さらに前記中央演算処理装置が発生するアドレス指定が前記内蔵メモリにより指示される前記ROMに対する訂正終了アドレスに一致したとき前記内蔵メモリのデータから前記ROMのデータに切り換えるアドレスコントロール回路とを具備し、前記ROMに記憶された処理内容に前記内蔵メモリに前記アドレス入力と前記データ入力により任意に設定可能である処理内容を付加して動作することにより構成される請求項1に記載のワンチップマイクロコンピュータ。

【請求項3】中央演算処理装置の処理内容を記憶するROMと、前記ROMの誤り訂正を目的とする処理内容を外部から入力することが可能な内蔵メモリと、前記内蔵メモリにデータを外部から格納するためのアドレス入力とデータ入力と、前記中央演算処理装置の前記ROMに対するアドレス指定において前記内蔵メモリにより指示される訂正指示アドレスに一致すると前記中央演算処理装置に対し割り込み信号を発生して前記中央演算処理装置が発生するアドレス指定を前記ROMから前記内蔵メモリに切り換えて前記内蔵メモリのデータを読み出し、さらに前記中央演算処理装置が前記内蔵メモリのデータに書き込まれた割り込み復帰命令を読み出すと前記中央演算処理装置が発生するアドレス指定を前記内蔵メモリから前記ROMに復帰させる規制回路とを具備し、前記ROMに記憶された処理内容に前記内蔵メモリに前記アドレス入力と前記データ入力により任意に設定可能である処理内容を付加して動作することにより構成される請求項1に記載のワンチップマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ROMを内蔵するワン

チップマイクロコンピュータに関するものである。

【0002】

【従来の技術】従来、ROMを内蔵するワンチップマイクロコンピュータは、製造過程においてあらかじめ定められた内容のROMが作り込まれるため、製造後にそのROMの内容を変更することができない。

【0003】

【発明が解決しようとする課題】そのため、ROMを内蔵するワンチップマイクロコンピュータにおいては、誤り等の修正のためにROMの内容を変更する必要が生じた場合、変更したROMの内容でワンチップマイクロコンピュータを新たに製造しなければならない。すなわち、ROMの内容を一部でも変更しようとする場合には、変更前のROMの内容が作り込まれたワンチップマイクロコンピュータを利用することができない。

【0004】

【課題を解決するための手段】この問題点を解決するため、本発明のワンチップマイクロコンピュータはROMの誤り訂正を目的とする処理内容を外部から入力することが可能な内蔵メモリと、ROMのデータと内蔵メモリのデータとを中央演算処理装置に供与する規制を行う規制回路を備えている。

【0005】

【作用】ROMまたは内蔵メモリのいずれのデータを中央演算処理装置に供与するか規制することにより、ROMの処理内容を内蔵メモリにて設定される処理内容によって変更してROMの誤り等を修正することができるため、ROMの内容を一部変更する場合にROMの内容の確定したワンチップマイクロコンピュータを利用できる。

【0006】

【実施例】図1は本発明のワンチップマイクロコンピュータの一実施例を示すブロック図である。図1において、中央演算処理装置1にはデータセレクタ5を介してROM2のデータ11及び内蔵メモリ3のデータ12が入力し、いずれかのデータが供与される。一方、中央演算処理装置1からはアドレスフェッチ4を介してROM2及び内蔵メモリ3にアドレス信号13を出力し、両方にアドレス信号を供与する。内蔵メモリ3には外部からデータを格納するためのアドレス入力8とデータ入力9が備えられており、ワンチップマイクロコンピュータの電源投入後またはリセット後、ワンチップマイクロコンピュータが動作を開始する前に外部より内蔵メモリ3にデータが書き込まれ、そのデータに含まれる任意の訂正指示アドレスが訂正指示アドレス信号10を通じてアドレスフェッチ4に指示される。また、中央演算処理装置1には内蔵メモリ3への切り換え許可を選択する選択入力7が備えられており、電源投入後またはリセット後ある一定期間経過してワンチップマイクロコンピュータが動作を開始した際、切り換えを許可するか否かを選択す

る。選択入力7が内蔵メモリ3への切り換えを許可するよう選択すれば、中央演算処理装置1のROM2に対するアドレス指定において、アドレスフェッチ4が内蔵メモリ3により指示された訂正開始アドレスを検出すると、アドレスフェッチ4はデータセレクタ5に対し選択信号14でROM2から内蔵メモリ3へのデータ切り換えを指示し、これ以降中央演算処理装置1にはワンチップマイクロコンピュータの動作開始前に外部より内蔵メモリ3に書き込まれたデータが供与される。内蔵メモリ3には中央演算処理装置1からアドレスフェッチ4を通じてアドレス信号が供与され、ROM2の読み出しと等しく動作する。中央演算処理装置1が内蔵メモリ3からデータを読み出している間は、割り込み処理のためROM2の読み出しに移行しないようアドレスフェッチ4から割り込み禁止信号15を中央演算処理装置1に出力し、割り込み処理を禁止する。内蔵メモリ3からのデータ読み出しに移行した後、中央演算処理装置1の内蔵メモリ3へのアドレス指定において、アドレスフェッチ4が内蔵メモリ3により指示された訂正終了アドレスを検出すると、アドレスフェッチ4はデータセレクタ5に対し選択信号14で内蔵メモリ3からROM2へのデータ切り換えを指示し、中央演算処理装置1へのデータ供与は内蔵メモリ3からROM2へ復帰する。また、この時アドレスフェッチ4から中央演算処理装置1に対し出力している割り込み禁止信号15も解除する。一方、選択入力7が内蔵メモリ3への切り換えを禁止するよう選択すれば、アドレスフェッチ4からの指示にかかわらず中央演算処理装置1がデータセレクタ5に対し選択信号16でROM2のデータを選択するよう指示するため、中央演算処理装置1はROM2からのデータのみ供与されるので従来のワンチップマイクロコンピュータと同じ動作をする。

【0007】図2は本発明のワンチップマイクロコンピュータの他の実施例のブロック図である。図2において、中央演算処理装置21にはROM22のデータ31及び内蔵メモリ23のデータ32が入力しているが、両方のデータが重複しないよう異なるアドレスを割り当てている。一方、中央演算処理装置21からはアドレスフェッチ24を介してROM22及び内蔵メモリ23にアドレス信号33を出力し、両方にアドレス信号を供与する。内蔵メモリ23には外部からデータを格納するためのアドレス入力28とデータ入力29が備えられており、ワンチップマイクロコンピュータの電源投入後またはリセット後、ワンチップマイクロコンピュータが動作を開始する前に外部より内蔵メモリ23にデータが書き込まれ、そのデータに含まれる任意の訂正指示アドレスが訂正指示アドレス信号30を通じてアドレスフェッチ24に指示される。また、中央演算処理装置21には内蔵メモリ23への切り換え許可を選択する選択入力27が備えられており、電源投入後またはリセット後ある一

定期間経過してワンチップマイクロコンピュータが動作を開始した際、切り換えを許可するか否かを選択する。選択入力27が内蔵メモリ23への切り換えを許可するよう選択すれば、中央演算処理装置21のROM22に対するアドレス指定において内蔵メモリ23に書き込まれた訂正指示アドレスを検出すると、アドレスフェッチ24は中央演算処理装置21に対し割り込み信号35にて割り込み要求を発生する。中央演算処理装置21はこの割り込み要求を受理すると全ての割り込みを禁止した後、アドレス指定を内蔵メモリ23に設定するので中央演算処理装置21にはワンチップマイクロコンピュータの動作開始前に外部より内蔵メモリ23に書き込まれたデータが供与され、割り込み処理に移行する。内蔵メモリ23には中央演算処理装置21からアドレスフェッチ24を通じてアドレス信号が供与され、ROM23の読み出しと等しく動作する。内蔵メモリ23のデータ読み出しに移行した後、中央演算処理装置21が内蔵メモリ23に書き込まれた割り込み復帰命令を読み出すと、中央演算処理装置21はアドレス指定を内蔵メモリ23に書き込まれた任意の訂正指示アドレスの次のアドレスに設定して割り込み処理から復帰し、ROM22の処理を継続する。一方、選択入力27が内蔵メモリ23への切り換えを禁止するよう選択すれば、中央演算処理装置21は割り込み禁止信号37にてアドレスフェッチ24に対して内蔵メモリ23に書き込まれた訂正指示アドレスによる割り込み要求を禁止するか、アドレスフェッチ24が内蔵メモリ23に書き込まれた訂正指示アドレスによる割り込み要求を発生しても受理しないようにし、中央演算処理装置21はROM22からのデータのみ供与されるので従来のワンチップマイクロコンピュータと同じ動作をする。

【0008】以上の構成により、ワンチップマイクロコンピュータのROMの処理内容を外部から任意に設定された内蔵メモリの処理内容に基づき変更できる。また、ROMの処理内容の変更を必要としない場合には、そのままROMを内蔵したワンチップマイクロコンピュータとして使用できる。

【0009】

【発明の効果】本発明により、ROMを内蔵したワンチップマイクロコンピュータにおいて、その処理内容を内蔵メモリにて設定される処理内容によって変更して処理内容の誤り等を修正することができるため、処理内容を一部変更する場合に変更前のROMの内容が作り込まれたワンチップマイクロコンピュータが利用できる。

【図面の簡単な説明】

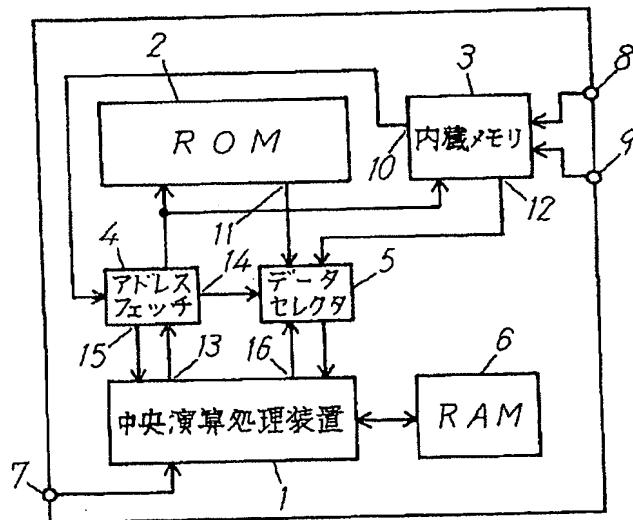
【図1】本発明の一実施例のワンチップマイクロコンピュータのブロック図

【図2】本発明の他の実施例のワンチップマイクロコンピュータのブロック図

【符号の説明】

1 中央演算処理装置	16 選択信号
2 ROM	21 中央演算処理装置
3 内蔵メモリ	22 ROM
4 アドレスフェッチ	23 内蔵メモリ
5 データセレクタ	24 アドレスフェッチ
6 RAM	26 RAM
7 選択入力	27 選択入力
8 内蔵メモリへのアドレス入力	28 内蔵メモリへのアドレス入力
9 内蔵メモリへのデータ入力	29 内蔵メモリへのデータ入力
10 訂正指示アドレス信号	30 訂正指示アドレス信号
11 ROMからのデータ	31 ROMからのデータ
12 内蔵メモリからのデータ	32 内蔵メモリからのデータ
13 アドレス信号	33 アドレス信号
14 選択信号	35 割り込み信号
15 割り込み禁止信号	37 割り込み禁止信号

【図1】



【図2】

